

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-252042

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H04J 13/00

H04L 27/18

H04L 27/20

(21)Application number : 10-049683

(71)Applicant : UNIDEN CORP

(22)Date of filing : 02.03.1998

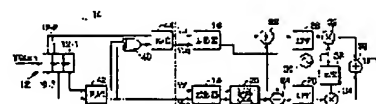
(72)Inventor : SHINOHARA YOSHINORI
SEKI KAZUHIKO

(54) MODULATION SYSTEM, MODULATION METHOD, DEMODULATION METHOD, MODULATOR AND DEMODULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an 8-PSK modulation circuit and a demodulation circuit for improving BER characteristics.

SOLUTION: The modulation circuit of a transmitter is provided with a vector generator 14 for generating two orthogonal vectors respectively composed of a common-mode component and an orthogonal component based on three successive bits in data to be transmitted, spreading devices 16 and 18 for respectively spreading the two vectors, a delay circuit for delaying the common-mode component and orthogonal component of one of the spread vectors for time T_d , an adder 22 for adding the common-mode component of the other spread vector and the common mode component delayed in the delay circuit 20 and the adder 24 for adding the orthogonal component of the other spread vector and the orthogonal component delayed in the delay circuit. Output signals from the adders 22 and 24 are obtained as the modulation signals of a base band. It is preferable to turn the delay time T_d to $T_c < T_d < T/2$ where T_c is a chip cycle and T is a symbol cycle.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-252042

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 J 13/00

H 0 4 J 13/00

A

H 0 4 L 27/18

H 0 4 L 27/18

Z

27/20

27/20

Z

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号 特願平10-49683

(22) 出願日 平成10年(1998) 3月2日

(71) 出願人 000115267

ユニデン株式会社

東京都中央区八丁堀二丁目12番7号

(72) 発明者 篠原 義典

東京都中央区八丁堀2丁目12-7 ユニデ
ン株式会社内

(72) 発明者 関 和彦

東京都中央区八丁堀2丁目12-7 ユニデ
ン株式会社内

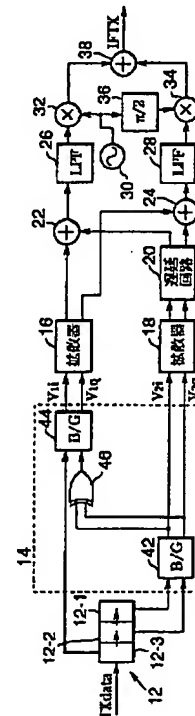
(74) 代理人 弁理士 稲葉 良幸 (外2名)

(54) 【発明の名称】 変調方式、変調方法、復調方法、変調装置および復調装置

(57) 【要約】

【課題】 BER特性を改善した8-PSK変調回路および復調回路を提供する。

【解決手段】 送信装置の変調回路は、送信すべきデータのうちの3つの連続するビットに基づき、各々が同相成分および直交成分からなる二つの直交するベクトルを生成するベクトル発生器14と、二つのベクトルをそれぞれ拡散する拡散器16、18と、拡散されたベクトルのうちの一方の同相成分および直交成分を時間 T_d だけ遅延させる遅延回路と、拡散されたベクトルの他方の同相成分と、遅延回路20にて遅延された同相成分とを加算する加算器22と、拡散されたベクトルの他方の直交成分と、遅延回路にて遅延された直交成分とを加算する加算器24とを備え、加算器22、24からの出力信号を、ベースバンドの変調信号として得るように構成されている。遅延時間 T_d は、 $T_c < T_d < T/2$ T_c :チップ周期、 T :シンボル周期とするのが好ましい。



【特許請求の範囲】

【請求項1】 I Q位相平面上において、互いに直交する2つのベクトルV1とV2とが、予め定められた時間Tdの間隔（ただし、シンボル周期をT、チップ周期をTcとしたとき、 $Tc \leq Td < T/2$ ）でもって互いに直交するI軸及びQ軸上を遷移することを特徴とする変調方式。

【請求項2】 送信データから互いに直交する2つのベクトルV1、V2を生成し、それぞれ拡散し、前記ベクトルV2を予め定められた時間Tdだけ遅延させたものと前記ベクトルV1を合成した直交信号と直交変調することにより、チップレートを大きくすることなく、データレートを高める変調方法。

【請求項3】 前記時間Tdを、シンボル周期をT、チップ周期をTcとしたとき、 $Tc \leq Td < T/2$ の範囲に設定することを特徴とする請求項2記載の変調方法。

【請求項4】 前記ベクトルV1、V2の位相遷移時において、ベクトルが重なる区間及びベクトルが存在しない区間を短くするように、前記時間Tdを、 $Td = Tc$ に設定することを特徴とする請求項3記載の変調方法。

【請求項5】 前記ベクトルV1、V2の位相遷移時において、ベクトルが重なる区間及びベクトルが存在しない区間が生じないように、シンボル周期及びチップ周期の少なくともいずれかを調整して位相遷移のタイミングを変化させることを特徴とする請求項2記載の変調方法。

【請求項6】 位相遷移時に位相平面の原点を通らないように、チップ周期をTcとしたとき、前記時間Tdを $Td = 1.5 * Tc$ に設定することを特徴とする請求項5記載の変調方法。

【請求項7】 送信すべきデータのうちの3つの連続するビットからなるビット列を受け入れて、当該ビット列に基づき、各々が同相成分および直交成分からなる二つの直交するベクトルを生成するステップと、前記二つのベクトルを所定の符号でそれぞれ拡散するステップと、拡散されたベクトルのうちの一方の同相成分および直交成分を時間Td（ $Tc \leq Td < T/2$ ただし、Tc：チップ周期、T：シンボル周期）だけ遅延させるステップと、拡散されたベクトルの他方の同相成分と遅延された同相成分とを加算するとともに、拡散されたベクトルの他方の直交成分と遅延された直交成分とを加算するステップとを備える変調方法。

【請求項8】 受信した信号を、キャリア信号および所定の位相差を与えられたキャリア信号で変調することにより同相成分および直交成分を取り出すステップと、前記同相成分および直交成分に基づき、ある時刻tの受信信号のベクトルと、時刻 $t + Td$ （ $Tc \leq Td < T/2$ ただし、Tc：チップ周期、T：シンボル周期）の

受信信号のベクトルとを求めるステップと、

求められた二つのベクトルから、連続する3ビットのビット列を復号するステップとを備える復調方法。

【請求項9】 送信すべきデータのうちの3つの連続するビットからなるビット列を受け入れて、当該ビット列に基づき、各々が同相成分および直交成分からなる二つの直交するベクトルを生成するベクトル生成回路と、前記二つのベクトルをそれぞれ拡散する拡散器と、拡散されたベクトルのうちの一方の同相成分および直交成分を時間Td（ $Tc < Td < T/2$ ただし、Tc：チップ周期、T：シンボル周期）だけ遅延させる遅延回路と、拡散されたベクトルの他方の同相成分と前記遅延回路にて遅延された同相成分とを加算する第1の加算器と、拡散されたベクトルの他方の直交成分と前記遅延回路にて遅延された直交成分とを加算する第2の加算器とを備える変調装置。

【請求項10】 前記ベクトル生成回路が、3つのビット列の先頭の2ビットからなるビット列をグレイコードに変換する第1のバイナリ／グレイコード（B/G）変換回路と、第1のB/G変換回路からの出力の排他論理和をとる排他論理和回路と、3ビットのビット列の最後尾の1ビットと排他論理和回路の出力とからなるビット列をグレイコードに変換する第2のB/G変換回路とを有し、

前記第1のB/G変換回路および第2のB/G変換回路により、それぞれ、相互に直交する二つのベクトルが得られるように構成されたことを特徴とする請求項9に記載の変調装置。

【請求項11】 受信した信号を、キャリア信号および所定の位相差を与えられたキャリア信号で変調することにより同相成分および直交成分を取り出す直交検波回路と、

前記同相成分および直交成分に基づき、ある時刻tの受信信号のベクトルと、時刻 $t + Td$ （ $Tc < Td < T/2$ ただし、Tc：チップ周期、T：シンボル周期）の受信信号のベクトルとを求め、求めた二つのベクトルから、連続する3ビットのビット列を復号する復号回路とを備える復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直接スペクトラム拡散用の変調方式、変調方法、復調方法、変調装置および復調装置に関し、より詳細には、直接拡散用オフセットチップ多重位相変調（DS-OCMPSK）に係る変調方式、変調方法、復調方法、変調装置および復調装置に関する。

【0002】

【従来の技術】近年、移動体通信などの無線通信の分野において、変調された後の信号の帯域幅が狭帯域変調に

よるものに比べて著しく広がっているスペクトラム拡散を用いた通信方式が利用されている。これは、上記スペクトラム拡散を用いた通信方式は、(1)妨害に強い、(2)干渉に強い、(3)秘話性や秘匿性があるなどの特徴を備えていることによる。スペクトラム拡散通信による拡散信号の発生方式には、直接拡散(DS: Direct Sequence)や周波数ホッピング(FH: Frequency Hopping)が知られている。たとえば、直接拡散では、拡散符号系列(PN(Pseudo-random Noise)系列)という疑似ランダム符号を用いて送信信号のスペクトラムが拡散される。

【0003】上記直接スペクトラム拡散方式を採用した送信回路においては、入力した信号に狭帯域変調(一次変調)を施した後に、一次変調された信号と、PN符号系列との排他論理和を取ることで、ビット(シンボル)に対して複数のチップを生成する。

【0004】上記狭帯域変調には、FSK(Frequency Shift Keying)、PSK(Phase Shift Keying)、DPSK(Differentially encoded PSK)や、QPSK(Quadrature PSK)が知られている。たとえば、QPSKでは、4種類の位相値をもった正弦波のうちの一つを選択することにより、2ビット分の情報を得ることができる。これにより、変調波形のスペクトラム分布を、PSKのものと比較して半分にすることができ、周波数利用の効率化を図ることができる。さらに、近年、8種類の位相値の一つを選択することにより、3ビット分の情報を得ることができる8-PSKが提案されている。QPSKや8-PSKは、多値変調方式と称され、特に、移動体通信の普及や伝送速度の高速化などの要求から、周波数利用の効率の向上が求められていることから、「LMS-MLSE等化器を用いた高速8PSK復調装置(1995年信学総大B-390)」、「スター16QAMをベースとした適応変調装置の室内実験結果(1997年信学総大B-5-175)」、「64QAM-OFDM復調用パイロットシンボルの送信電力比に関する検討(1997年信学ソ大B-5-181)」などに種々の提案がなされている。

【0005】上記8-PSK方式は、3ビット分の情報を得ることができるため、周波数利用の効率を考慮すると、極めて有用である。しかしながら、8種類の位相値の相互の位相差は $\pi/4$ であり、QPSK方式のBER(Bit Error Rate)相当のBERを実現するために必要な E_b/N_0 が増大するという問題点があった。

【0006】他の先行技術として、例えば次のようなものがある。

【0007】特開平9-55714号公報は、位相(時間差1チップ以上)の異なる複数の拡散符号で拡散することにより、パラレル送信することにより伝送速度の高速化を図るスペクトル拡散通信システムを開示している。これはBPSKを多重するものである。

【0008】特開平7-264095号公報は、複数の異なる拡

散符号で拡散することにより、パラレル送信することにより伝送速度の高速化を図るスペクトル各拡散通信用送信機及び受信機を開示している。これはBPSKを多重するものである。

【0009】特開平8-149048号公報は、オフセットQPSK変調方式を用いたスペクトラム拡散変調装置及び復調装置を開示している。復調器にSAW(表面弾性波)マッチドフィルタを用いている。

【0010】特開平7-131379号公報は、BPSK信号を復調するスペクトラム拡散通信用受信機の復調器を開示する。

【0011】特開平6-232838号公報は、変調にQPSK方式を用い、同相、直交信号成分の両者が同時に遷移を起こさないような拡散方式を用いるスペクトラム拡散受信機を開示する。

【0012】特開平4-360434号公報は、位相が異なる複数の拡散符号で拡散することにより、パラレル送信することにより伝送速度の高速化を図るスペクトル拡散送信装置及び受信装置を開示している。これはBPSKを多重するものである。しかし、この技術によれば、複数の拡散符号を用いることにより、いわば1つのチャネルによるシリアル伝送を、複数のチャネルによりパラレル的に行うにすぎず、伝送方式自体の改良により高速伝送するものではない。拡散符号によっては互いに干渉が生じて性能が劣化することが考えられる。

【0013】

【発明が解決しようとする課題】この発明は、上記8-PSK方式の欠点であった、8種類の位相値の相互の位相差は $\pi/4$ であり、QPSK方式の位相差の半分であり、伝送誤りが発生しやすいことに鑑みなされたもので、伝送誤り特性を改善した変調方式、変調方法、復調方法、変調装置および復調装置を提供することを目的とする。

【0014】また、この発明は、伝送誤りを増やすことなく、伝送速度の高速化を図ることができる変調方式、変調方法、復調方法、変調装置および復調装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明に係る変調方式は、IQ位相平面上において、互いに直交する2つのベクトルV1とV2とが、予め定められた時間Tdの間隔(ただし、シンボル周期をT、チップ周期をTcとしたとき、 $Tc \leq Td < T/2$)でもって互いに直交するI軸及びQ軸上を遷移するものである。

【0016】本発明に係る変調方式によれば、8-PSKよりも相互の位相差が広がるので伝送誤りが低下する。また、所定の時間Tdの間隔で2つのベクトルを多重するのでQ-PSKよりも伝送速度が高くなる。

【0017】本発明に係る変調方法は、送信データから互いに直交する2つのベクトルV1、V2を生成し、そ

れぞれ拡散し、前記ベクトルV2を予め定められた時間Tdだけ遅延させたものと前記ベクトルV1を合成した直交信号を直交変調することにより、チップレートを大きくすることなく、データレートを高めるものである。

【0018】本発明に係る変調方法は、前記時間Tdを、シンボル周期をT、チップ周期をTcとしたとき、 $Tc \leq Td < T/2$ の範囲に設定したものである。

【0019】本発明に係る変調方法は、前記ベクトルV1、V2の位相遷移時において、ベクトルが重なる区間及びベクトルが存在しない区間を短くするように、前記時間Tdを、 $Td = Tc$ に設定したものである。

【0020】本発明に係る変調方法は、前記ベクトルV1、V2の位相遷移時において、ベクトルが重なる区間及びベクトルが存在しない区間が生じないように、シンボル周期及びチップ周期の少なくともいずれかを調整して位相遷移のタイミングを変化させたものである。

【0021】本発明に係る変調方法は、位相遷移時に位相平面の原点を通らないように、チップ周期をTcとしたとき、前記時間Tdを $Td = 1.5 * Tc$ に設定したものである。

【0022】本発明に係る変調方法は、送信すべきデータのうちの3つの連続するビットからなるビット列を受け入れて、当該ビット列に基づき、各々が同相成分および直交成分からなる二つの直交するベクトルを生成するステップと、前記二つのベクトルを所定の符号でそれぞれ拡散するステップと、拡散されたベクトルのうちの一方の同相成分および直交成分を時間Td ($Tc \leq Td < T/2$ ただし、Tc：チップ周期、T：シンボル周期)だけ遅延させるステップと、拡散されたベクトルの他方の同相成分と遅延された同相成分とを加算するとともに、拡散されたベクトルの他方の直交成分と遅延された直交成分とを加算するステップとを備えるものである。

【0023】本発明に係る復調方法は、受信した信号を、キャリア信号および所定の位相差を与えられたキャリア信号で変調することにより同相成分および直交成分を取り出すステップと、前記同相成分および直交成分に基づき、ある時刻tの受信信号のベクトルと、時刻 $t + Td$ ($Tc \leq Td < T/2$ ただし、Tc：チップ周期、T：シンボル周期)の受信信号のベクトルとを求め、求められた二つのベクトルから、連続する3ビットのビット列を復号するステップとを備えるものである。

【0024】本発明に係る変調装置は、送信すべきデータのうちの3つの連続するビットからなるビット列を受け入れて、当該ビット列に基づき、各々が同相成分および直交成分からなる二つの直交するベクトルを生成するベクトル生成回路と、前記二つのベクトルをそれぞれ拡散する拡散器と、拡散されたベクトルのうちの一方の同相成分および直交成分を時間Td ($Tc < Td < T/2$

ただし、Tc：チップ周期、T：シンボル周期)だけ遅延させる遅延回路と、拡散されたベクトルの他方の同相成分と前記遅延回路にて遅延された同相成分とを加算する第1の加算器と、拡散されたベクトルの他方の直交成分と前記遅延回路にて遅延された直交成分とを加算する第2の加算器とを備えるものである。

【0025】本発明に係る変調装置は、前記ベクトル生成回路が、3つのビット列の先頭の2ビットからなるビット列をグレイコードに変換する第1のバイナリ／グレイコード(B/G)変換回路と、第1のB/G変換回路からの出力の排他論理和をとる排他論理和回路と、3ビットのビット列の最後尾の1ビットと排他論理和回路の出力とからなるビット列をグレイコードに変換する第2のB/G変換回路とを有し、前記第1のB/G変換回路および第2のB/G変換回路により、それぞれ、相互に直交する二つのベクトルが得られるように構成されたものである。

【0026】本発明に係る復調装置は、受信した信号を、キャリア信号および所定の位相差を与えられたキャリア信号で変調することにより同相成分および直交成分を取り出す直交検波回路と、前記同相成分および直交成分に基づき、ある時刻tの受信信号のベクトルと、時刻 $t + Td$ ($Tc < Td < T/2$ ただし、Tc：チップ周期、T：シンボル周期)の受信信号のベクトルとを求め、求めた二つのベクトルから、連続する3ビットのビット列を復号する復号回路とを備えるものである。

【0027】

【発明の実施の形態】発明の実施の形態1. 以下、添付図面を参照して、本発明の実施の形態につき説明を加える。

【0028】説明の便宜上、まず、具体的な送信回路及び受信回路の構成について説明し、その後、動作原理について説明する。

【0029】図1は、本発明の実施の形態にかかる送信回路の一部の構成を示すブロックダイアグラムである。図1に示すように、この送信回路は、シフトレジスタ12と、ベクトル発生器14と、拡散器16、18と、遅延回路20と、加算器22、24と、ローパスフィルタ(LPF)26、28と、局所発振器30と、乗算器32、34と、移相器36と、加算器38を備えている。

【0030】シフトレジスタ12は、送信データTXdataを受け入れて、これをビット周期ごとにシフトして、データTXdataの隣接する3ビットのデータを一時的に記憶する。

【0031】ベクトル発生器14は、上記3ビットのデータから、二つの直交するベクトルV1、V2を作成し、かつ、各ベクトルの同相成分(V1i、V2i)および直交成分(V1q、V2q)を得る。拡散器16、18は、それぞれ、ベクトルV1、V2と、PN符号系列との排他論理和をとって、各ベクトルを拡散する。遅延回路20は、ベクトル

V2を、所定の時間Tdだけ遅延させる。加算器22は、ベクトルの同相成分どうし(V1iとV2i)を、加算器24は、直交成分どうし(V1qとV2q)を、それぞれ加算する。

【0032】乗算器32において、同相成分に対応するベースバンドの変調信号は、局所発振器30からの中間周波数の搬送波にて周波数変換され、中間周波数の同相成分の変調信号IFTXIが得られる。その一方、乗算器34において、直交成分に対応するベースバンドの変調信号は、局所発振器30から発せられ、移相器36にて90°位相がずらされた搬送波にて周波数変換され、中間周波数の直交成分の変調信号IFTXQが得られる。これら信号は、加算器38にて加算され、中間周波数信号IFTXが出力される。

【0033】加算器38からは、中間周波数の送信信号IFTXが出力される。この信号IFTXは、さらに、周波数シンセサイザ(図示せず)からの搬送波により周波数変換されて、周波数変換後の信号が、アンテナ(図示せず)から送出される。

【0034】ベクトル発生器14は、バイナリー/グレイ(B/G)変換器42、44および排他論理和(EXOR)回路46とを有している。B/G変換器42、44は、入力したバイナリーコード(二進符号)を、グレイコード(折返し二進符号)に変換する。たとえば、シフトレジスタ12-1、12-2中の2ビットのデータを、B/G変換器42により、グレイコードに変換し、これにより、ベクトルV2の同相成分V2iおよび直交成分V2qを得ることができる。その一方、上記ベクトルV2の成分の排他論理和と、レジスタ12-3中の最後尾の1ビットのデータとからなる2ビットのデータを、B/G変換器44により、グレイコードに変換し、これにより、ベクトルV1の同相成分V1iおよび直交成分V1qを得ることができる。このようにして得られた二つのベクトルV1およびV2は、互いに直交している。

【0035】図1は、0、1の2値信号を受けてベクトルを発生するベクトル発生器14の詳細構成をも示すが、これは一例である。3ビットのデータから互いに直交する2つのベクトルを生成できるものであれば、他の回路でも構わない。入力データは+1、-1でも構わない。

【0036】ベクトル発生器14から出力された二つの直交するベクトルV1、V2は、それぞれ、拡散回路16、18において、二次変調(拡散)されて、シンボルごとに所定数のチップが得られる。ここで、拡散された後の、ベクトルV2の同相成分V2iおよび直交成分V2qは、遅延回路において、所定の時間Tdだけ、遅延される。

【0037】次に、本実施の形態にかかる受信回路につき説明を加える。図2は、本実施の形態にかかる受信回路の一部の構成を示すブロックダイアグラムである。図2に示すように、受信回路は、局所発振器52と、乗算

器54、56と、移相器58と、ローパスフィルタ(LPF)60、62と、デジタルマッチドフィルタ(DMF)64、66と、クロック再生回路68と、サンプリング回路70と、位相演算回路72と、自動周波数制御回路(AFC)74と、復号回路76と、クロック再生回路78とを備えている。さらに、受信回路は、アンテナ(図示せず)にて受信した信号を周波数変換して、中間周波数の信号IFRXを得るための種々の回路(図示せず)を備えている。

【0038】局所発振器52、乗算器54、56および移相器58により、中間周波数信号IFRXは直交検波され、中間周波数信号の同相成分および直交成分が、それぞれ、LPF60、62に与えられる。LPF60、62からの出力は、DMF64、66に与えられ、DMF64、66は、それぞれ、同相成分と拡散符号系列との相関Icorrおよび直交成分と拡散符号系列との相関Qcorrを算出する。

【0039】クロック再生回路68は、同相成分の相関値であるIcorrおよび直交成分の相関値Qcorrに基づき同期捕捉および同期追従を行い、サンプリング回路70ないし復号回路76にて使用すべきクロックを出力する。サンプリング回路70は、クロック再生回路68からのクロックに基づき、DMF64、66の出力をサンプリングする。なお、後述するようにクロック再生回路68により正確なサンプリングクロックが生成されるため、相関値を正確にサンプリングすることが可能である。位相計算回路72は、サンプリングされた相関値IsampおよびQsampに基づき、位相 θ_{iq} を算出する。

【0040】また、AFC74は、シンボル周期間の位相 θ_{iq} の変化分 θ_d から、キャリア周波数誤差を計算して、これを補正すると共に、補正された位相の変化分 θ_r を算出する。復号回路76は、補正された位相の変化分 θ_r を受け入れて、これに基づき、復号を実行する。このようにして、受信されたデータRxdataが復元される。

【0041】図3は、本実施の形態にかかるクロック再生回路の構成を示すブロックダイアグラムである。図3に示すように、クロック再生回路68は、絶対値検出回路681a、681bと、加算器682と、LPF683と、遅延回路684と、加算器685と、最大値検出回路686と、同期回路687と、サンプリングタイミング発生器688とを備えている。

【0042】絶対値検出回路681a、681bは、それぞれ、DMF64、66から出力された相関値の同相成分Icorrおよび直交成分Qcorrの絶対値を求める。加算器682は、上記絶対値検出回路681a、681bの出力を加算し、LPF683は、加算器322の出力の高周波成分を除去する。

【0043】加算器685は、LPF683の出力と、遅延回路684にて遅延されたLPF683の出力とを

加算する。この遅延回路684での遅延時間 T_d は、送信回路の遅延回路20にて用いられた遅延時間と同一である。最大値検出回路686は、加算器685の出力中の最大値（ピーク値）を検出する。同期回路687は、最大値検出回路686にて検出された最大値の位置と、既に保持している最大値の位置とを比較して、その位置を制御する。サンプリングタイミング発生器688は、同期回路687にて保持された最大値の位置に基づき、 T_d および $T-T_d$ の周期を繰り返す第1のクロック信号Clock1と、 $T/3$ の周期の第2のクロック信号Clock2とを生成する。

【0044】このクロック再生回路68の動作は、サンプリングタイミング発生器にて生成される第2のクロック信号を除き、本出願人が先に提出した特願平8-333842号のものと略同様である。

【0045】DMF64、66からは、たとえば、図4(a)に示すように、同相成分の相関値 I_{corr} と直交成分の相関値 Q_{corr} が出力される。この相関値には、時刻 t_1 で生じるピーク150a、150bと、時刻 $t_2 (= t_1 + T_d)$ で生じるピーク150c、150dとが含まれる。すなわち、ピークは、時間 T_d および $T-T_d$ の周期で生じる。

【0046】したがって、絶対値回路681a、681b、加算器682およびLPF683を経た信号は、図4(b)に示すようなものとなる。遅延回路684は、図4(b)に示す信号を、時間 T_d だけ遅延させるため、加算器685の出力は、図4(c)に示すようなものとなる。すなわち、LPF683の出力のピーク152と153とが加算されて、他のピークよりも大きなピーク155が得られる。上記ピーク155は、シンボル周期 T ごとに発生するため、これに基づき、周期 T のクロックを発生することが可能となる。

【0047】最大値検出回路686は、図4(c)のピーク155を検出して、当該ピークが生じた時間 t_2 を求める。同期回路687は、過去の結果に基づく最大値の位置を保持しており、保持された最大値位置と検出された最大値位置とを比較する。両者が一致すれば、これが保持すべき最大値位置となり、一致しなければ、これらの値の中間値を最大値位置とする。

【0048】サンプリングタイミング発生器688は、最大値位置に基づき、図5(b)に示す第1のクロックおよび図5(b)に示す第2のクロックを作成する。第1のクロックは、 $T (= T_d + (T - T_d))$ の周期であり、一周中に二つのパルスを含み、これにより、IQ信号を正確にサンプリングすることが可能となる。また、第2のクロックは、周期 $T/3$ のパルス信号であり、これは、復号回路76にて使用される。

【0049】上記クロック再生回路68から出力された第1のクロックに基づき、サンプリング回路70は、DMFから出力された相関値 I_{corr} 、 Q_{corr} をサンプリング

する。位相演算回路72およびAFC回路74により、時刻 t_4 にてサンプリングされた相関値に基づく位相 θ_1 、および、時刻 t_5 にてサンプリングされた相関値に基づく位相 θ_2 が求められる。次いで、復号回路76は、上記位相 θ_1 および θ_2 に基づき、二つのベクトル V_1 、 V_2 を復元し、さらに、 $T/3$ のパルス信号にしたがって、3ビットのビット列を復元する。

【0050】次に、本実施の形態において、拡散符号をバーカー符号(Baker符号)を使用し、4(サンプル/チップ)のオーバーサンプリングで、時間差 T_d を1チップ周期と設定した場合の変調方式のBER(Bit Error Rate)特性を示す。図6は、AWGN環境の下での E_b/B の関係を示す図である。図6において、破線で示す曲線は、従来の8-PSKを用いた場合の理論値を示し、実線は、本発明にかかる8-PSKを用いた場合の値を示す。図6から理解できるように、従来の8-PSKと比較すると、本発明にかかるものは、 10^3 点で、略2.0dB、BERが改善されている。

【0051】<動作原理の説明>先に説明したように、拡散された後のベクトル V_1 の同相成分 V_{1i} と遅延されたベクトル V_2 の同相成分 V_{2i} とは、加算器22にて加算され、次いで、ローパスフィルタ26を通ることにより、ベースバンドの信号のうちの同相成分を得ることができる。その一方、拡散された後のベクトル V_1 の直交成分 V_{1q} と遅延されたベクトル V_2 の直交成分 V_{2q} とは、加算器24にて加算され、次いで、ローパスフィルタ28を通ることにより、ベースバンドの信号のうちの直交成分を得ることができる。

【0052】ここで、図7を参照して、本実施の形態にかかる8-PSK変調の原理につき、説明を加える。上述したように、ベクトル発生器14から出力された二つのベクトル V_1 、 V_2 は互いに直交する(ベクトル発生器14は、3ビットのTxdataに基づき、互いに直交するように2つのベクトル V_1 、 V_2 を生成する)。さらに、本実施の形態においては、ベクトル V_2 は、遅延回路20にて所定の時間 T_d だけ遅延されている。したがって、図7に示すように、ベクトル V_1 が、ある時刻 t において I_1 軸上を遷移するときには、ベクトル V_2 は、ある時刻 $(t + T_d)$ において Q_2 軸上を遷移することになる。その一方、ベクトル V_1 が、ある時刻 t において Q_1 軸上を遷移するときには、ベクトル V_2 は、ある時刻 $(t + T_d)$ において I_2 軸上を遷移することも理解できる。

【0053】このように3ビットのTxdataに基づき2つのベクトル V_1 、 V_2 を生成し、これらを所定の時間差を与えて送信することにより、チップレートを大きくすることなく、データレートを通常のQPSKよりも大きくできる(QPSKでは1つのベクトルを送信している)。多重化するベクトル V_1 、 V_2 が互いに直交しているので多重化することができるのである。

【0054】すなわち、本実施の形態においては、直交

する二つのベクトルを、時間差 T_d を与えて多重化することにより、チップレートを大きくすることなく、データレートを、通常のQPSKと比較して、1.5倍（同時に送信できるデータは2ビットから3ビットになる）とすることができる。

【0055】次に、送信回路の遅延回路20などにて信号を遅延させる時間 T_d の範囲につき説明を加える。この時間 T_d は、 T_c をチップ周期、 T をシンボル周期とすると、

$$T_c \leq T_d < T/2$$

の範囲である必要がある。最適値は $T_d = T_c$ である。この式の意味は以下の通りである。 $T_d < T_c$ であると、オーバーサンプリングをしている関係上、関連値の広がりがある程度あるために、ピークと裾野とが重なって分離ができず（すなわち干渉し）、前述の受信回路において、正しい周期が検出できず、また、AFC機能もうまく働かない。その一方、 $T_d = T/2$ であると、ピークが同じ時刻に重なってしまうため、前述の図4に関連して述べるクロックの作成が不可能になってしまう。なお、 $T_c < T_d$ を満足する限り、 $T_d \neq T/2$ であれば、 $T_d > T/2$ とすることも可能であるが、後述の、位相遷移時にベクトルが重なる区間や、ベクトルが存在しない区間が生じるのをできるだけ避けるために、 T_d はより小さい方が好ましい。そこで、上述したような数値となる。

【0056】次に、図8及び図9のI/Q各チャネルの位相遷移タイミング図と、図10の拡散後の位相空間図に基づき、位相遷移時にベクトルが重なる区間や、ベクトルが存在しない区間について説明する。

【0057】上述したように、ベクトル発生器14から出力された二つのベクトル V_1 、 V_2 は互いに直交し、ベクトル V_2 は、遅延回路20にて所定の時間 T_d だけ遅延されている。図7に示すように、ベクトル V_1 が、ある時刻 t において I_1 軸上を遷移するときには、ベクトル V_2 は、ある時刻 $(t + T_d)$ において Q_2 軸上を遷移し（状態1）、その一方、ベクトル V_1 が、ある時刻 t において Q_1 軸上を遷移するときには、ベクトル V_2 は、ある時刻 $(t + T_d)$ において I_2 軸上を遷移する（状態2）。例えば、状態1が2シンボル周期続き、その後、状態2が3シンボル続いたとする。このときの位相遷移タイミング図は図8のようになる。状態1から状態2への遷移の際にベクトル V_1 と V_2 とが入れ替わるから、この遷移の期間 T_B において、位相遷移時にベクトルが重なる区間102や、ベクトルが存在しない区間101が存在する。

【0058】図8において、状態1から状態2への切り替えが生じない、時刻 t_j 、 $t_j + T_d$ 、 t_k 、 $t_k + T_d$ でベクトル V_1 、 V_2 は、それぞれ“0 [rad]”または“ π [rad]”の位相遷移を示し、図10の黒丸Bの点 $((1, 1)$ 、 $(-1, 1)$ 、 $(-1, -1)$ 、 $(1, -1)$)を遷移する。一方、状態1から状態2への切り替えが生じる、時刻 t_j 、 $t_j + T_d$ でベク

トル V_1 、 V_2 は、それぞれ“ $\pi/2$ [rad]”または“ $3\pi/2$ [rad]”の位相遷移を示し、期間 T_B （ $t_j < t < t_j + T_d$ ）ではベクトル V_1 、 V_2 が重なるか両方ない区間を示し、図10の白丸Wの点 $((0, 0)$ 、 $(2, 0)$ 、 $(0, 2)$ 、 $(-2, 0)$ 、 $(0, -2)$)を遷移する。

【0059】理解を助けるために、図9の具体例を用いて説明する。図中、 V_{1n} 、 V_{2n} はそれぞれ n 番目のシンボルを示すベクトル V_1 、 V_2 である。期間 T_B の前（後も同様である）において、I及びQチャネルは1と-1の値をとるので、ベクトル V_1 、 V_2 は、図10の黒丸 $(1, 1)$ 、 $(-1, 1)$ 、 $(-1, -1)$ を遷移する。ところが、遷移の期間 T_B において、Iチャネルはデータがないため「0」であり、Qチャネルはデータが重なるため「-2」（ $=V_1 + V_2 = -1 + (-1)$ ）あるいは「0」（ $=V_1 + V_2 = -1 + 1$ ）である。したがって、期間 T_B において、ベクトル V_1 、 V_2 は、図10の白丸 $(0, -2)$ 、 $(0, 0)$ を遷移する。

【0060】以上のように、この実施の形態1において、位相遷移時にベクトルが重なる区間や、ベクトルが存在しない区間が生じるという現象が生じるが、これは T_d をなるべく小さくすることによりその影響を低減することができる。

【0061】発明の実施の形態2. 上述のように遷移の期間 T_B の影響を低減するためには T_d をなるべく小さくすればよく、実用上、その影響を支障のない程度に抑えることができる。しかし、図10のような位相遷移の包絡線振幅の変動が大きいので、非線形増幅器を適用しにくいという問題もある。位相遷移の補償をしない場合、上述のように、ベクトルが重なる区間や存在しない区間が生じてしまうので、 $T_d = 0.5 * n * T_c$

（ n ：奇数）を満足するように T_d を選んだとしても、図10のような位相遷移となり、位相遷移時に原点を通ってしまう。この遷移の期間 T_B の影響を低減するための別の手段を提供することも有用であると考えられる。

【0062】遷移の期間 T_B の影響を除去するには次のようにすればよい。時刻 t_j 、 $t_j + T_d$ でベクトル V_1 、 V_2 は、それぞれ“ $\pi/2$ [rad]”または“ $3\pi/2$ [rad]”の位相遷移をするとき、ベクトル V_1 、 V_2 が重なるか両方ない区間をなくして、図10における白丸Wの点を遷移しないようにすればよい。具体的には、シンボル周期やチップ周期を変化させ、I及びQチャネルでの位相遷移タイミングをずらす。

【0063】この考えを適用した、I及びQチャネルの位相遷移タイミング図を図12に、拡散後の位相空間図を図14にそれぞれ示す。図14の位相遷移であれば、包絡線振幅の変動がさほど大きくないので、非線形増幅器を容易に適用することができる。I及びQチャネルの信号（最適値： $T_d = 1.5 * T_c$ ）の位相遷移タイミング図の具体例を図13に示す。この発明の実施の形態は非線形増幅器にも適用されるため、包絡線振幅変動を小さくし、特にシンボル内での位相遷移時に原点を通ら

ないようにするため、 $T_d = 0.5 * n * T_c$ (n : 奇数) の条件が加わるため、最適値は $T_d = 1.5 * T_c$ となる。

【0064】この実施の形態2の変調器の機能ブロック図を図11に示す。シフトレジスタ12、局所発振器30、乗算器32、34、移相器36、及び加算器38は、図1に示されたものと同一あるいは相当部分を示す。ROM40は、シフトレジスタ12によりパラレルデータに変換された6ビットのデータを受けて、図12のように補正された拡散後のI信号及びQ信号を出力する。ROM40のデータは、図12及び図13の位相遷移タイミングが実現できるように予め設定される。

【0065】図11の変調器において、図12及び図13のようにシンボル周期やチップ周期を変えることにより、I及びQのシンボルの遷移点をずらし、図14の位相遷移を実現する。具体的には、このI及びQのシンボルの遷移点をずらした信号波形をROM40から読み出すことにより送信波形を生成する。このとき、ROMに格納される信号波形のパターンは、1シンボルが3ビットで成り立ち、少なくとも2シンボル間の状態遷移分必要となるので、 $(2^3)^2 = 64$ パターンとなる。また、1パターンにつき1シンボル当たりのオーバーサンプリング数の波形が必要となる。よって、ROMのアドレス幅は、 $(2 \text{シンボル間の状態遷移分} 6 \text{ビット}) + (1 \text{シンボル当たりのオーバーサンプリング数分のカウンタのビット数})$ となる。

【0066】このROM40のパターン(データ)は、位相遷移を補償するためのものであるが、さらに帯域制限された波形を含ませたパターンとすることにより、フィルタの効果も持たせることもできる。

【0067】本発明は、以上の実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

【0068】たとえば、前記実施の形態において、送信回路は、得られた二つのベクトルのうちの第2のベクトルを遅延させているが、これに限定されるものではなく、第1のベクトルを遅延させても良い。

【0069】また、前記実施の形態において、拡散器にてシンボルに付与されるPN符号系列として、M系列、ゴールド(Gold)系列、バーカー(Baker)系列の何れを使用しても良い。

【0070】さらに、本明細書において、手段とは必ずしも物理的手段を意味するものではなく、各手段の機能が、ソフトウェアによって実現される場合も包含する。さらに、一つの手段の機能が、二つ以上の物理的手段により実現されても、若しくは、二つ以上の手段の機能が、一つの物理的手段により実現されてもよい。

【0071】

【発明の効果】以上のように、本発明によれば、I/Q位

相平面上において、互いに直交する二つのベクトルV1とV2とが、予め定められた時間 T_d の間隔(ただし、シンボル周期をT、チップ周期を T_c としたとき、 $T_c \leq T_d < T/2$)でもって互いに直交するI軸及びQ軸上を遷移するように構成したので、8-PSKよりも相互の位相差が広くなり、伝送誤りが低下する。さらに、所定の時間 T_d の間隔で二つのベクトルを多重するのでQ-PSKよりも伝送速度が高くなる。

【0072】また、この発明によれば、前記時間 T_d を、 $T_d = T_c$ に設定することにより、前記ベクトルV1、V2の位相遷移時において、ベクトルが重なる区間及びベクトルが存在しない区間を短くするので、位相遷移の包絡線振幅の変動を小さくし、例えば、非線形増幅器を適用することができる。

【0073】また、この発明によれば、前記ベクトルV1、V2の位相遷移時において、シンボル周期及びチップ周期の少なくともいずれかを調整して位相遷移のタイミングを変化させることにより、ベクトルが重なる区間及びベクトルが存在しない区間が生じないようにするので、位相遷移の包絡線振幅の変動を小さくし、例えば、非線形増幅器を適用することができる。

【0074】また、この発明によれば、前記ベクトルV1、V2の位相遷移時に位相平面の原点を通らないように前記時間 T_d を設定するので、例えば、非線形増幅器を適用することができる。

【図面の簡単な説明】

【図1】 図1は、本発明の実施の形態1にかかる送信装置の一部の構成を示すブロックダイアグラムである。

【図2】 図2は、本発明の実施の形態1にかかる受信装置の一部の構成を示すブロックダイアグラムである。

【図3】 図3は、本発明の実施の形態1にかかるクロック再生回路の構成を示すブロックダイアグラムである。

【図4】 図4は、本発明の実施の形態1にかかるクロック再生回路中の信号を示すタイミングチャートである。

【図5】 図5は、本発明の実施の形態1にかかるクロック再生回路中の信号を示すタイミングチャートである。

【図6】 図6は、本発明の実施の形態1の変調方式を評価するための、AWGN環境の下での E_b/BER の関係を示す図である。

【図7】 図7は、本発明の実施の形態1の動作原理を説明するための図である。

【図8】 図8は、本発明の実施の形態1のI/Q各チャネルの位相遷移タイミングを示す図である。

【図9】 図9は、本発明の実施の形態1のI/Q各チャネルの位相遷移タイミングを示す図である(詳細)。

【図10】 図10は、本発明の実施の形態1の拡散後の位相空間図である。

【図11】 図11は、本発明の実施の形態2にかかる送信装置の一部の構成を示すブロックダイアグラムである。

【図12】 図12は、本発明の実施の形態2のI/Q各チャネルの位相遷移タイミングを示す図である。

【図13】 図13は、本発明の実施の形態2のI/Q各チャネルの位相遷移タイミングを示す図である（詳細）。

【図14】 図14は、本発明の実施の形態2の拡散後の位相空間図である。

【符号の説明】

12

シフトレジスタ

14

ベクトル発生器

16、18

拡散器

20

遅延回路

22、24

加算器

42、44

バイナリー／グレイ変換器

46

排他論理和回路

64、66

DMF

70

サンプリング回路

72

位相演算回路

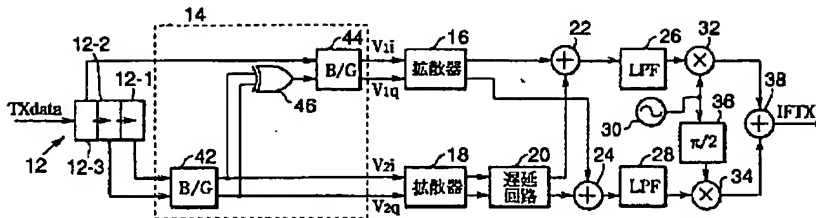
74

AFC

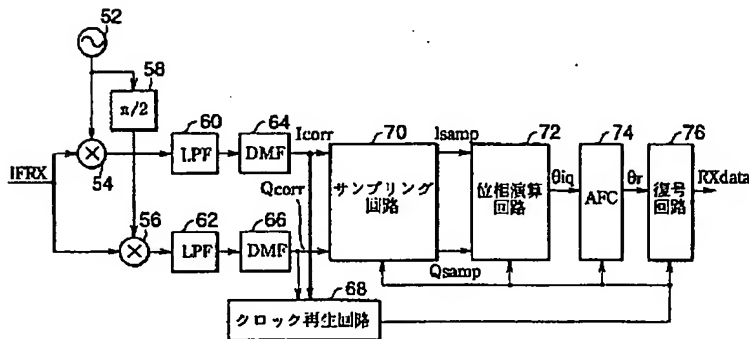
76

復号回路

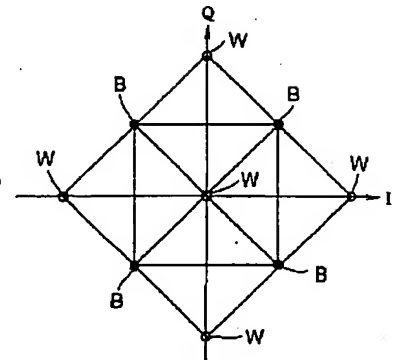
【図1】



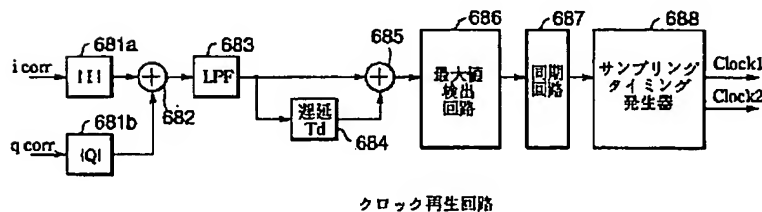
【図2】



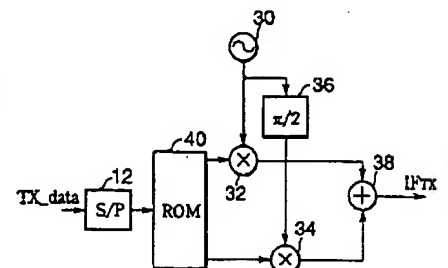
【図10】



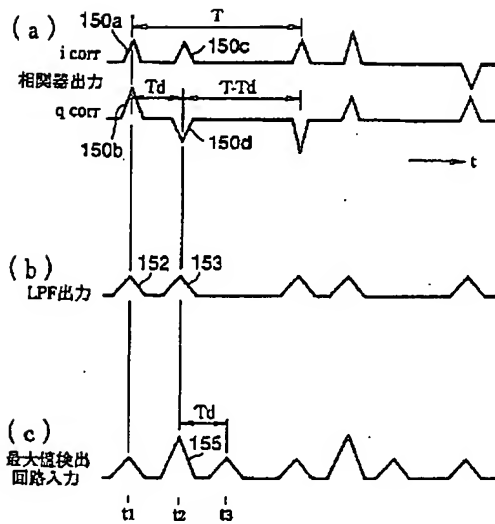
【図3】



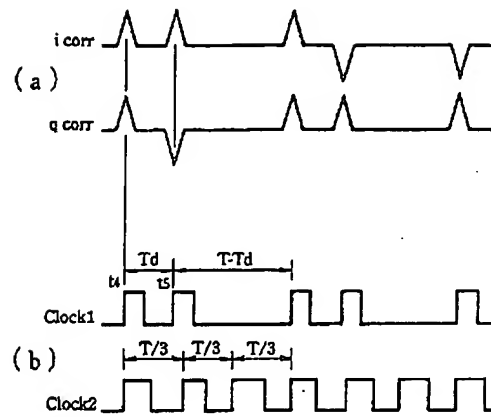
【図11】



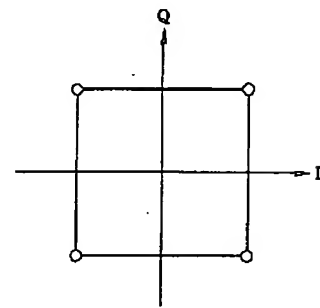
【図4】



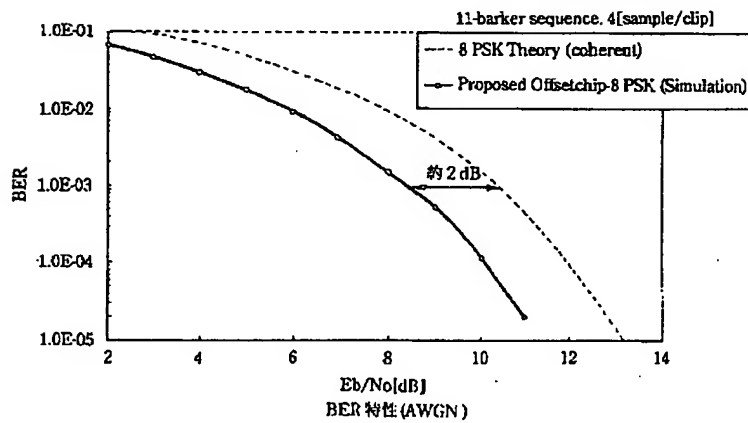
【図5】



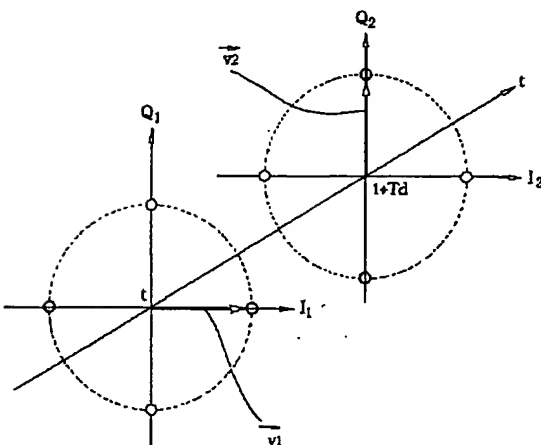
【図14】



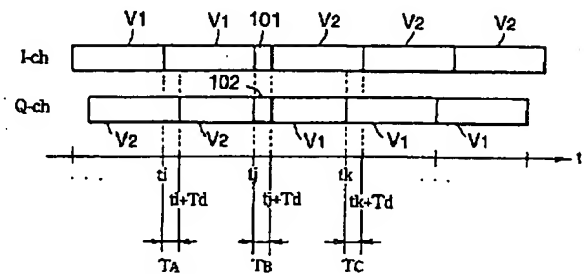
【図6】



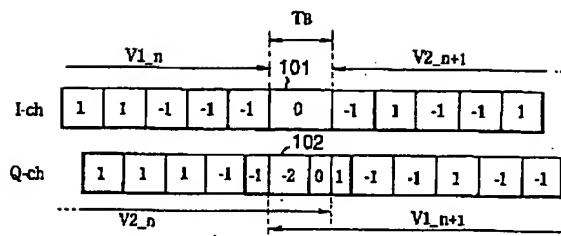
【図7】



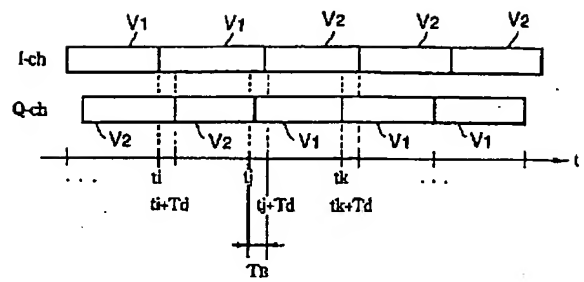
【図8】



【図9】



【図12】



【図13】

